

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication  
number:

1020010008970 A

(43)Date of publication of application:  
05.02.2001

(21)Application  
number: 1019990027076

(71)Applicant:

SAMSUNG ELECTRO-  
MECHANICS CO., LTD.

(22)Date of filing: 06.07.1999

(72)Inventor:

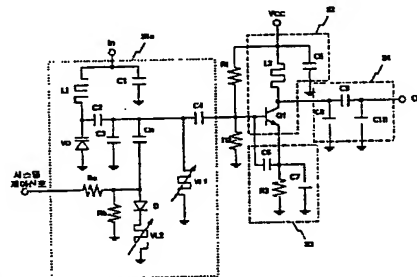
YOON, CHEOL HWAN

(51)Int. Cl H03L 7 /00

(54) VOLTAGE CONTROLLING OSCILLATOR IN PHASE LOCK LOOP MODULE

(57) Abstract:

PURPOSE: A voltage controlling oscillator in a phase lock loop module is provided to improve movements of an oscillator, which carries out the early oscillating movements of the voltage control oscillator by using a phase lock loop module. CONSTITUTION: A voltage controlling oscillator in a phase lock loop module includes a reference frequency oscillator(31a), a negative feedback resistance portion(33), an amplifying portion(32) and a matching filter portion(34). The reference frequency oscillator(31a) is composed



of the first coil inputting the control voltage generated in PLL, a varactor diode, the cathode terminal of which is connected with the other end of the first coil and the anode terminal of which is connected with the grounding, the second and third condenser parallel connected with the varactor diode, the first variable coil connected between the connecting point of the second and third condenser and the grounding, the fourth condenser connected with the connecting point of the second and third condenser, the voltage dividing resistance dividing and outputting the system control signal, a diode inputting the divided voltage to the anode terminal, the second variable coil connected with the cathode terminal of the diode and grounding and a condenser connected with the anode terminal of the diode and connecting point of the second and third condenser.

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. 7  
H03L 7/00

(45) 공고일자 2001년11월07일  
(11) 등록번호 10-0313329 (patent No.)  
(24) 등록일자 2001년10월18일

(21) 출원번호	10-1999-0027076	(65) 공개번호	특2001-0008970
(22) 출원일자	1999년07월06일	(43) 공개일자	2001년02월05일

(73) 특허권자      삼성전기주식회사  
                         이형도  
                         경기 수원시 팔달구 매탄3동 314번지

(72) 발명자            윤철환  
                         경기도수원시팔달구영통동황골마을벽산아파트225동903호

(74) 대리인            조용식

심사관 : 김중화

(54) 위상 동기 루프 모듈에서의 전압 제어 발진기

요약

본 발명은 하나의 위상 동기 루프 모듈을 사용하여 300MHz이내의 이중 주파수 대역의 기준 주파수를 제공하는 경우 전압 제어 발진기의 초기 발진동작을 수행하는 발진기의 동작 효율을 개선하기 위한 위상 동기 루프 모듈에서의 전압 제어 발진기에 관한 것으로 특히, 듀얼 전압 제어 발진기를 구성하는 기준 주파수 발진부가 PLL에서 발생하는 제어 전압을 입력받는 제 1코일과, 제 1코일의 타단에 캐소드 단자가 연결되고 애노드 단자는 접지단과 연결되어 있는 바랙터 다이오드와, 두 개의 콘덴서가 직렬 연결되어 있으며 전체적으로 바랙터 다이오드와 병렬 연결되어 있는 제 2,3콘덴서와, 제 2콘덴서와 제 3콘덴서의 연결점과 접지단 사이에 연결되어 있는 제 1가변코일과, 제 2콘덴서와 제 3콘덴서의 연결점에 일단이 연결되어 있는 제 4콘덴서와, 두 개의 저항이 직렬 연결되어 전체적으로 시스템 제어신호의 입력단과 접지단 사이에 연결되어 있고 입력되는 시스템 제어신호를 분압하여 출력하는 분압저항과, 분압저항에서 출력되는 분압전압을 애노드 단자에 입력받는 다이오드와, 다이오드의 캐소드 단자와 접지단에 연결되는 제 2가변코일, 및 다이오드의 애노드 단자와 제 2콘덴서와 제 3콘덴서의 연결점에 연결되어 있는 콘덴서로 구성된다.

대표도

도 3

색인어

VCO, PLL, LC공진, 내부저항, Q 포인트

명세서

도면의 간단한 설명

도 1은 주파수 대역이 300MHz이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시킬 수 있는 PLL모듈을 개략적으로 도시한 예시도,

도 2는 도 1에 도시되어 있는 전압 제어 발진기의 회로 구성 예시도,

도 3은 본 발명에 따른 전압 제어 발진기의 회로 구성 예시도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 무선 통신기에서 데이터의 송수신에 필수적으로 사용되는 위상 동기 루프 모듈에 관한 것으로 특히, 하나의 위상 동기 루프 모듈을 사용하여 300MHz이내의 이종 주파수 대역의 기준 주파수를 제공하는 경우 전압제어 발진기의 초기 발진동작을 수행하는 발진기의 동작 효율을 개선하기 위한 위상 동기 루프 모듈에서의 전압 제어 발진기에 관한 것이다.

일반적으로, 무선통신 기기들은 무선 데이터의 송수신을 위하여 송신 데이터를 변조하여 반송주파수 신호에 실어 전송하고, 수신시에는 수신되는 주사수 신호에서 반송주파수를 제한 후 이를 복조하는 동작을 수행하게 된다.

이때, 송수신시 반송주파수 혹은 채널주파수를 생성 또는 제거하기 위하여 사용되는 주파수 생성수단이 PLL모듈인데, 이는 흔히 기준주파수라고 칭하는 주파수 신호를 생성하는 디바이스이다.

따라서, 통상적으로 하나의 PLL모듈에서는 하나의 기준주파수가 발생되므로 만약 하나의 통신 시스템에서 이종의 기준 주파수를 사용하고자 하는 경우 예를 들면, DCS와 PCS의 경우 동일한 CDMA통신 방식을 사용하며 동일한 하드웨어 구성을 가지고 있지만 사용 주파수 대역과 채널만 차이나는 경우에는 하나의 시스템 단말기를 사용하여 DCS와 PCS를 사용하고자 하는 경우에는 각각 별도의 PLL모듈을 구비하여 사용하여야 한다. 왜냐하면, DCS의 채널 간격은 30kHz이고, PCS의 채널 간격은 50kHz로서, 각각의 PLL의 기준 주파수는 19.68MHz(30kHz×656)와 24.6MHz(50kHz×492)를 사용하기 때문이다.

그러나, 사용하고자하는 두 개의 기준 주파수신호의 주파수 대역이 300MHz이내의 차이를 가지고 있는 경우 별도의 전압 제어 발진기를 사용하지 않고 기준 주파수 발진부의 LC공진율을 스위칭 조정하여 사용하는 방식이 많이 사용되고 있다.

첨부한 도 1에는 주파수 대역이 300MHz이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시킬 수 있는 PLL모듈을 개략적으로 도시하고 있으며, 첨부한 도 2에는 도 1에 도시되어 있는 전압 제어 발진기(300)의 내부 구성으로, 시스템 제어신호에 따라 300MHz이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시키는 기준 주파수 발진부(31)와 네가티브 피드백 저항부(33)와 증폭부(32) 및 매칭 필터부(34)로 구성되어 있다.

상기 도 2에 도시되어 있는 전압 제어 발진기(300)는 트랜지스터를 하나만 사용하는 경우의 전압 제어 발진기 구성이다.

상기 구성 요소중 기준 주파수 발진부(31)는 입력단(In)에 일단이 연결되고 상기 입력단(In)과 연결되어 있는 PLL에

서 발생하는 제어 전압을 입력받는 제 1코일(L1)과, 상기 제 1코일(L1)의 타단에 캐소드 단자가 연결되고 애노드 단자는 접지단과 연결되어 있는 바랙터 다이오드(VD)와, 두 개의 콘덴서가 직렬 연결되어 있으며 전체적으로 상기 바랙터 다이오드(VD)와 병렬 연결되어 있는 제 2,3콘덴서(C2, C3)와, 두 개의 가변 코일이 직렬 연결되어 있으며 전체적으로 상기 제 2콘덴서(C2)와 제 3콘덴서(C3)의 연결점과 접지단 사이에 연결되어 있는 제 1,2 가변코일(VL1, VL2)과, 상기 제 2콘덴서(C2)와 제 3콘덴서(C3)의 연결점에 일단이 연결되어 있는 제 4콘덴서(C4)와, 두 개의 저항이 직렬 연결되어 전체적으로 시스템 제어신호의 입력단과 접지단 사이에 연결되어 있고 입력되는 상기 시스템 제어신호를 분압하여 출력하는 분압저항(Ra, Rb)과, 상기 분압저항(Ra, Rb)에서 출력되는 분압전압을 애노드 단자에 입력받고 캐소드 단자는 접지단에 연결되는 다이오드(D), 및 상기 다이오드(D)의 애노드 단자와 상기 제 1가변코일(VL1)과 제2가변코일(VL2)의 연결점에 연결되어 있는 콘덴서(Ca)로 구성된다.

또한, 상기 증폭부(32)는 임의의 양전압(Vcc)을 제 3코일(L3)을 통해 콜렉터 단자에 입력받는 트랜지스터(Q1)와, 상기 제 3코일(L3)에 걸리는 상기 양전압(Vcc)에 의하여 충전되는 제 5콘덴서(C5)와, 상기 제 3코일(L3)에 걸리는 전압을 일단에 입력받고 타단이 상기 트랜지스터(Q1)의 베이스 단자에 연결되어 있는 제 1저항(R1), 및 상기 트랜지스터(Q1)의 베이스 단자와 접지단 사이에 연결되는 제 2저항(R2)으로 구성된다.

또한, 상기 네가티브 피드백 저항부(33)는 상기 트랜지스터(Q1)의 베이스 단자와 에미터 단자에 연결되며 상기 제 1저항(R1)을 통해 출력되는 전압에 의해 충전되는 제 6콘덴서(C6)와, 상기 트랜지스터(Q1)의 에미터 단자에 걸리는 전압에 의해 충전되는 제 7콘덴서(C7), 및 상기 제 1트랜지스터(Q1)의 에미터 단자와 접지단 사이에 연결되는 제 3저항(R3)으로 구성된다.

마지막으로, 상기 매칭 필터부(34)는 상기 트랜지스터(Q1)의 콜렉터 단자를 통해 출력되는 신호에 의하여 충전되는 제 8콘덴서(C8)와, 직렬 연결되어 있으며 전체적으로 상기 제 8콘덴서(C8)에 병렬 연결되어 있는 제 9, 10콘덴서(C9, C10)로 구성된다.

상기와 같이 구성되는 전압 제어 발진기를 구비하고 있는 PLL모듈의 동작중 전압 제어 발진기의 동작을 살펴보면, 시스템 제어신호의 논리 상태에 따라 참조번호 31로 표시되는 기준 주파수 발진부의 출력 주파수가 각기 다르게 나타나는데, 우선 상기 시스템 제어신호의 논리 상태가 로우상태이고 입력단(In)을 통해 유입되는 PLL(200)에서 출력되는 제어전압이 바랙터 다이오드(VD)의 임계전압 이상인 경우에 한하여 살펴보기로 한다.

상기 시스템 제어신호의 논리 상태가 로우 상태이므로 다이오드(D)는 오프상태를 유지하며, 그에 따라 제 1, 2가변코일(VL1, VL2)의 리액턴스성분의 합성치와 제 3콘덴서(C3)의 캐패시턴스 성분의 크기에 의해 LC공진이 이루어져 상기 제 3콘덴서(C2)와 제 1,2가변코일(VL1, VL2)의 고유값과 인가전압의 크기에 대응하는 특정의 주파수가 발생되어 진다.

반면에, 상기 시스템 제어신호의 논리 상태가 하이상태이며 입력단(In)을 통해 유입되는 PLL(200)에서 출력되는 제어 전압이 바랙터 다이오드(VD)의 임계전압 이상인 경우, 상기 시스템 제어신호의 논리 상태가 하이 상태이므로 다이오드(D)는 온동작한다.

그에 따라 제 1, 2가변코일(VL1, VL2)의 연결점의 전위가 접지전위와 거의 동일해지므로써 LC공진을 위한 리액턴스 성분은 제 1가변코일(VL1)에 의해 결정된다. 즉, LC공진을 위한 루프는 제 3콘덴서(C3)와 제 1가변코일(VL1)과 콘덴서(Ca) 및 다이오드(D)로 이루어지므로 상기 시스템 제어신호의 논리 상태가 로우상태일 경우에는 다른 공진 주파수를 발생시키게 된다.

이때, 상술한 바와같은 두 가지의 동작모드중 시스템 제어신호의 논리 상태가 로우상태일 경우에는 LC공진을 위한 루프가 순수한 리액턴스 성분과 캐패시턴스 성분으로만 이루어지는 반면에, 시스템 제어신호의 논리 상태가 하이상태일 경우에는 LC공진을 위한 루프가 순수한 리액턴스 성분과 캐패시턴스 성분으로만 이루어지지 않으므로 Q포인트가 저하되어 시스템의 안정성을 저해하는 문제점이 발생되었다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해소하기 위한 본 발명의 목적은 하나의 위상 동기 루프 모듈을 사용하여 300MHz이내의 이중 주파수 대역의 기준 주파수를 제공하는 경우 전압제어 발진기의 초기 발진동작을 수행하는 발진기의 동작 효율을 개선하기 위한 위상 동기 루프 모듈에서의 전압 제어 발진기를 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 특징은, 특정 주파수 대역의 일정한 주파수 신호를 발생시키는 발진부와, 사용자의 선택 또는 시스템 제어신호에 따라 입력되는 전압의 크기에 대응하는 소정 주파수이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시키는 듀얼 전압 제어 발진기, 및 상기 듀얼 전압 제어 발진기에서 발생하는 기준주파수와 상기 발진부에서 발생하는 주파수 신호를 입력받아 상기 듀얼 전압 제어 발진기에 인가하는 전압의 크기를 변화시키는 PLL을 구비하는 이중 주파수 겸용 위상 동기 루프 모듈에 있어서: 상기 듀얼 전압 제어 발진기를 구성하는 기준 주파수 발진부는, 상기 PLL에서 발생하는 제어 전압을 입력받는 제 1코일과, 상기 제 1코일의 타단에 캐소드 단자가 연결되고 애노드 단자는 접지단과 연결되어 있는 바랙터 다이오드와, 두 개의 콘덴서가 직렬 연결되어 있으며 전체적으로 상기 바랙터 다이오드와 병렬 연결되어 있는 제 2,3콘덴서와, 상기 제 2콘덴서와 제 3콘덴서의 연결점과 접지단 사이에 연결되어 있는 제 1가변코일과, 상기 제 2콘덴서와 제 3콘덴서의 연결점에 일단이 연결되어 있는 제 4콘덴서와, 두 개의 저항이 직렬 연결되어 전체적으로 시스템 제어신호의 입력단과 접지단 사이에 연결되어 있고 입력되는 상기 시스템 제어신호를 분압하여 출력하는 분압저항과, 상기 분압저항에서 출력되는 분압전압을 애노드 단자에 입력받는 다이오드와, 상기 다이오드의 캐소드 단자와 접지단에 연결되는 제 2가변코일, 및 상기 다이오드의 애노드 단자와 상기 제 2콘덴서와 제 3콘덴서의 연결점에 연결되어 있는 콘덴서로 구성되는 데 있다.

본 발명의 상술한 목적과 여러 가지 장점은 이 기술 분야에 숙련된 사람들에 의해 첨부된 도면을 참조하여 후술되는 발명의 바람직한 실시예로부터 더욱 명확하게 될 것이다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

우선, 본 발명의 기술적 사상을 살펴보면, 첨부한 도 2에 도시되어 있는 종래 기술에서 시스템 제어신호의 논리 상태가 하이상태일 경우에는 LC공진을 위한 루프가 순수한 리액턴스 성분과 캐패시턴스 성분으로만 이루어지지 않는 이유는 LC공진을 위한 루프가 제 3콘덴서(C3)와 제 1가변코일(VL1)과 콘덴서(Ca) 및 다이오드(D)로 이루어기 때문에 다이오드(D)의 내부 저항성분이 LC공진 루프에 포함되기 때문이다.

따라서, 본 발명에서는 다이오드(D)의 내부 저항성분의 영향을 극소화시키면서 하드웨어적인 구성의 변화가 크지 않은 회로를 제공하고자 하는 것이다.

첨부한 도 3은 본 발명에 따른 전압 제어 발진기의 회로 구성 예시도로서, 시스템 제어신호에 따라 300MHz이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시키는 기준 주파수 발진부(31a)와 네가티브 피드백 저항부(33)와 증폭부(32) 및 매칭 필터부(34)로 구성되어 기본적인 구성은 도 2에 도시되어 있는 구성과 크게 다르지 않다.

상기 구성 요소중 기준 주파수 발진부(31a)는 입력단(In)에 일단이 연결되고 상기 입력단(In)과 연결되어 있는 PLL에서 발생하는 제어 전압을 입력받는 제 1코일(L1)과, 상기 제 1코일(L1)의 타단에 캐소드 단자가 연결되고 애노드 단자는 접지단과 연결되어 있는 바랙터 다이오드(VD)와, 두 개의 콘덴서가 직렬 연결되어 있으며 전체적으로 상기 바랙터 다이오드(VD)와 병렬 연결되어 있는 제 2,3콘덴서(C2, C3)와, 상기 제 2콘덴서(C2)와 제 3콘덴서(C3)의 연결점과 접지단 사이에 연결되어 있는 제 1가변코일(VL1)과, 상기 제 2콘덴서(C2)와 제 3콘덴서(C3)의 연결점에 일단이 연결되어 있는 제 4콘덴서(C4)와, 두 개의 저항이 직렬 연결되어 전체적으로 시스템 제어신호의 입력단과 접지단 사이에 연결되어 있고 입력되는 상기 시스템 제어신호를 분압하여 출력하는 분압저항(Ra, Rb)과, 상기 분압저항(Ra, Rb)에서 출력되는 분압전압을 애노드 단자에 입력받는 다이오드(D)와, 상기 다이오드(D)의 캐소드 단자와 접지단에 연결되는 제 2가변코일(VL2), 및 상기 다이오드(D)의 애노드 단자와 상기 제 2콘덴서(C2)와 제 3콘덴서(C3)의 연결점에 연결되어 있는 콘덴서(Ca)로 구성된다.

또한, 상기 증폭부(32)는 임의의 양전압( $V_{cc}$ )을 제 3코일(L3)을 통해 콜렉터 단자에 입력받는 트랜지스터(Q1)와, 상기 제 3코일(L3)에 걸리는 상기 양전압( $V_{cc}$ )에 의하여 충전되는 제 5콘덴서(C5)와, 상기 제 3코일(L3)에 걸리는 전압을 일단에 입력받고 타단이 상기 트랜지스터(Q1)의 베이스 단자에 연결되어 있는 제 1저항(R1), 및 상기 트랜지스터(Q1)의 베이스 단자와 접지단 사이에 연결되는 제 2저항(R2)으로 구성된다.

또한, 상기 네가티브 피드백 저항부(33)는 상기 트랜지스터(Q1)의 베이스 단자와 에미터 단자에 연결되며 상기 제 1저항(R1)을 통해 출력되는 전압에 의해 충전되는 제 6콘덴서(C6)와, 상기 트랜지스터(Q1)의 에미터 단자에 걸리는 전압에 의해 충전되는 제 7콘덴서(C7), 및 상기 제 1트랜지스터(Q1)의 에미터 단자와 접지단 사이에 연결되는 제 3저항(R3)으로 구성된다.

마지막으로, 상기 매칭 필터부(34)는 상기 트랜지스터(Q1)의 콜렉터 단자를 통해 출력되는 신호에 의하여 충전되는 제 8콘덴서(C8)와, 직렬연결되어 있으며 전체적으로 상기 제 8콘덴서(C8)에 병렬 연결되어 있는 제 9, 10콘덴서(C9, C10)로 구성된다.

상기와 같이 구성되는 전압 제어 발진기를 구비하고 있는 PLL모듈의 동작중 전압 제어 발진기의 동작을 살펴보면, 시스템 제어신호의 논리 상태에 따라 참조번호 31a로 표시되는 기준 주파수 발진부의 출력 주파수가 각기 다르게 나타나는데, 우선 상기 시스템 제어신호의 논리 상태가 로우상태이고 입력단(In)을 통해 유입되는 PLL(200)에서 출력되는 제어전압이 바랙터 다이오드(VD)의 임계전압 이상인 경우에 한하여 살펴보기로 한다.

상기 시스템 제어신호의 논리 상태가 로우 상태이므로 다이오드(D)는 오프상태를 유지하며, 그에 따라 콘덴서(Ca)의 양단에는 전압차가 발생되지 않고 그러므로 상기 제 1가변코일(VL1)의 리액턴스 성분과 제 3콘덴서(C3)의 캐패시턴스 성분의 크기에 의해 LC공진이 이루어져 상기 제 3콘덴서(C2)와 제 1가변코일(VL1)의 고유값과 인가전압의 크기에 대응하는 특정의 주파수가 발생되어 진다.

반면에, 상기 시스템 제어신호의 논리 상태가 하이상태이며 입력단(In)을 통해 유입되는 PLL(200)에서 출력되는 제어전압이 바랙터 다이오드(VD)의 임계전압 이상인 경우, 상기 시스템 제어신호의 논리 상태가 하이 상태이므로 다이오드(D)는 온동작한다.

그에 따라 제 1, 2가변코일(VL1, VL2)의 리액턴스 성분의 합성치는 제 1가변코일(VL1)의 리액턴스 성분대 콘덴서(Ca)와 다이오드(D) 및 제 2가변코일(VL2)로 이루어지는 루프에서의 제 1가변코일(VL1)의 리액턴스 성분의 병렬합성치로 얻어지고, 이렇게 얻어진 병렬 합성 리액턴스 성분과 제 3콘덴서(C3)의 캐패시턴스 성분에 의해 상기 시스템 제어신호의 논리 상태가 로우상태일 경우에는 다른 공진 주파수를 발생시키게 된다.

따라서, 상기 다이오드(d)의 내부 저항의 임피던스 성분은 극소화되며, 종래 회로에 비하여 LC공진 루프에 미치는 영향이 극히 미약하게 되므로, Q포인트가 안정화되어 진다.

이상의 설명에서 본 발명은 특정의 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

#### 발명의 효과

상술한 바와 같이 동작하는 본 발명에 따른 위상 동기 루프 모듈에서의 전압 제어 발진기를 제공하여 하나의 위상 동기 루프 모듈을 사용하여 300MHz이내의 이중 주파수 대역의 기준 주파수를 제공하는 경우 전압제어 발진기의 초기 발진동작을 수행하는 발진기의 동작 효율을 개선하는 효과가 있다.

#### (57) 청구의 범위

# 청구항 1.

특정 주파수 대역의 일정한 주파수 신호를 발생시키는 발진부와, 사용자의 선택 또는 시스템 제어신호에 따라 입력되는 전압의 크기에 대응하는 소정 주파수이내의 차이를 가지고 있는 두 개의 기준 주파수신호를 발생시키는 듀얼 전압 제어 발진기, 및 상기 듀얼 전압 제어 발진기에서 발생되는 기준주파수와 상기 발진부에서 발생되는 주파수 신호를 입력받아 상기 듀얼 전압 제어 발진기에 인가하는 전압의 크기를 변화시키는 PLL을 구비하는 이중 주파수 겸용 위상 동기 루프 모듈에 있어서:

상기 듀얼 전압 제어 발진기를 구성하는 기준 주파수 발진부는,

상기 PLL에서 발생되는 제어 전압을 입력받는 제 1코일과;

상기 제 1코일의 타단에 캐소드 단자가 연결되고 애노드 단자는 접지단과 연결되어 있는 바랙터 다이오드와;

두 개의 콘덴서가 직렬 연결되어 있으며 전체적으로 상기 바랙터 다이오드와 병렬 연결되어 있는 제 2,3콘덴서와;

상기 제 2콘덴서와 제 3콘덴서의 연결점과 접지단 사이에 연결되어 있는 제 1가변코일과;

상기 제 2콘덴서와 제 3콘덴서의 연결점에 일단이 연결되어 있는 제 4콘덴서와;

두 개의 저항이 직렬 연결되어 전체적으로 시스템 제어신호의 입력단과 접지단 사이에 연결되어 있고 입력되는 상기 시스템 제어신호를 분압하여 출력하는 분압저항과;

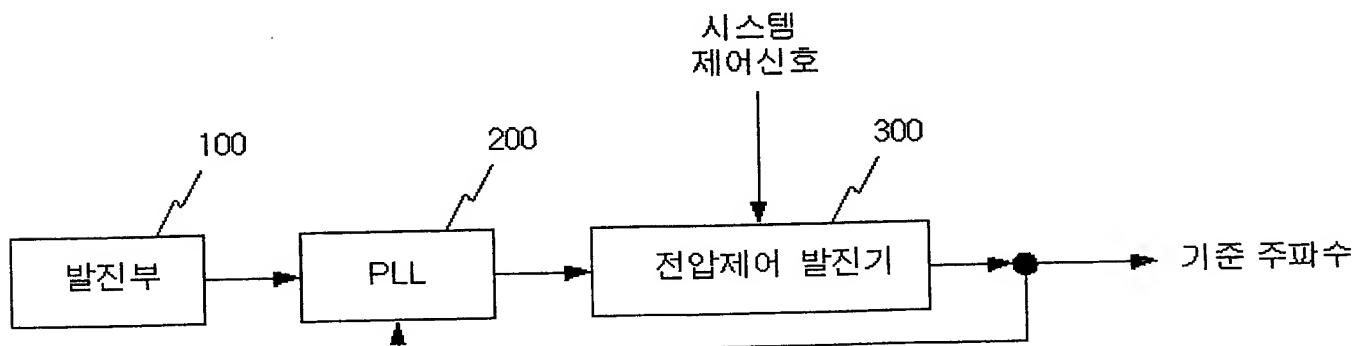
상기 분압저항에서 출력되는 분압전압을 애노드 단자에 입력받는 다이오드와;

상기 다이오드의 캐소드 단자와 접지단에 연결되는 제 2가변코일; 및

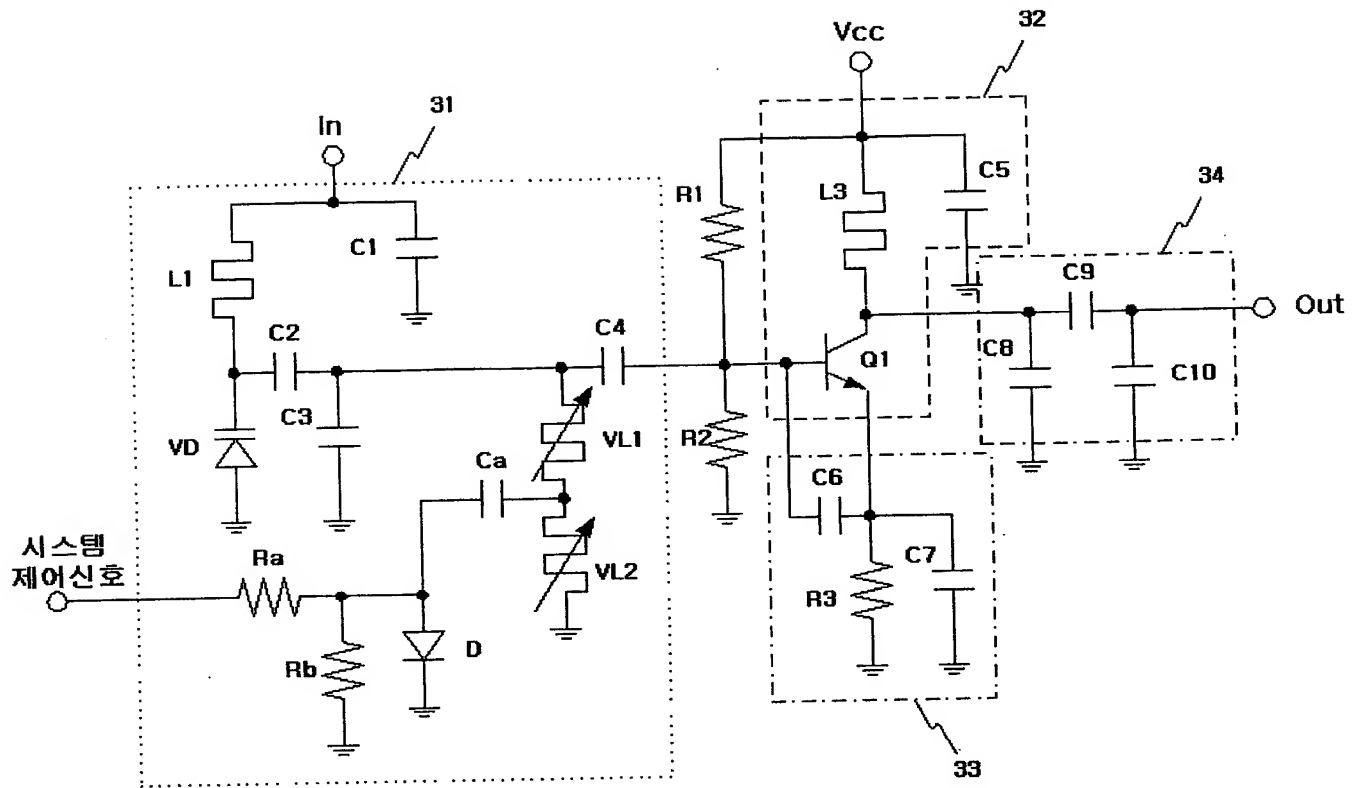
상기 다이오드의 애노드 단자와 상기 제 2콘덴서와 제 3콘덴서의 연결점에 연결되어 있는 콘덴서로 구성되는 것을 특징으로 하는 위상 동기 루프 모듈에서의 전압 제어 발진기.

도면

도면 1

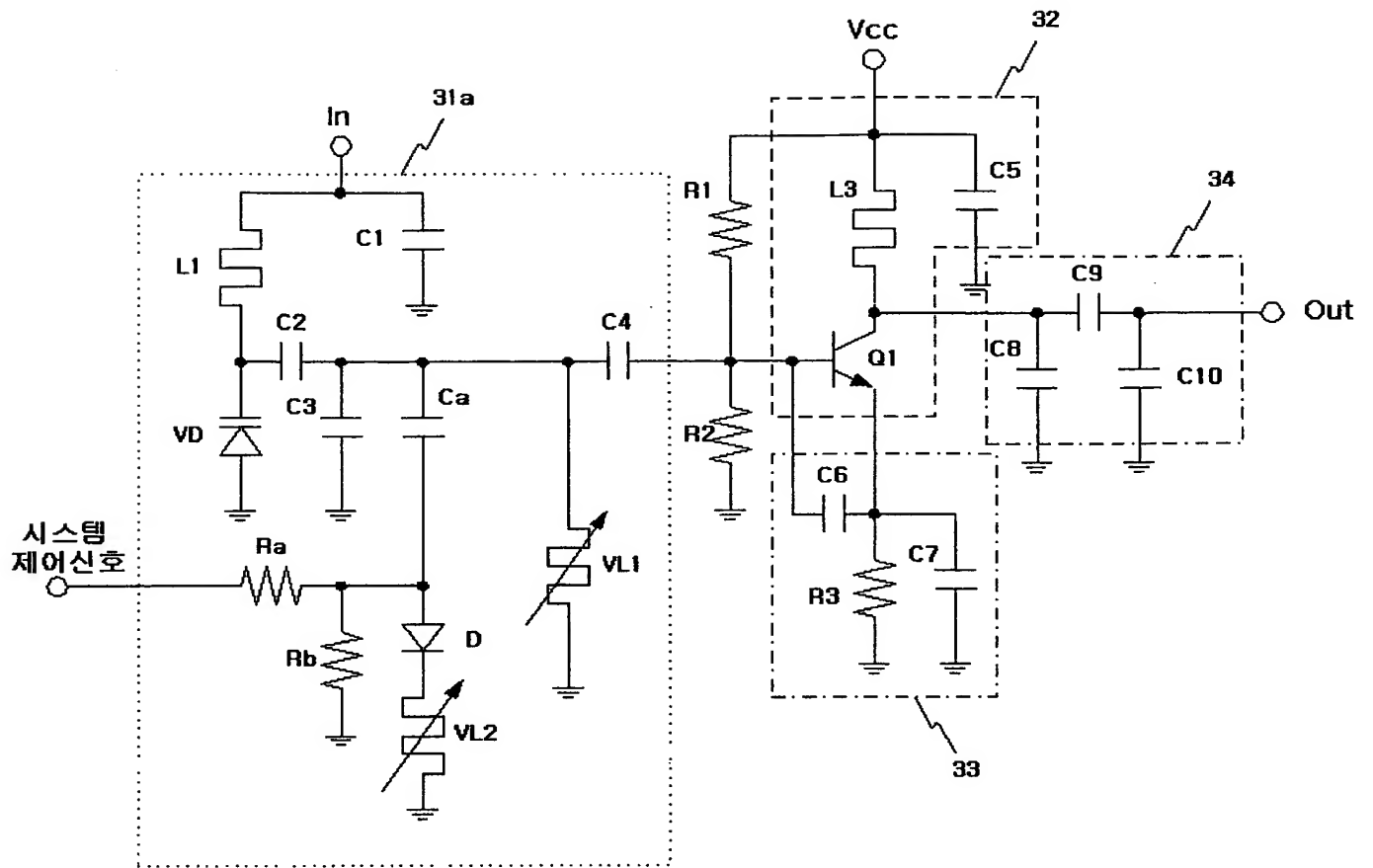


도면 2





도면 3



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**